

⑨ 日本国特許庁(JP) ⑩ 特許出願公開

⑪ 公開特許公報(A) 昭62-51093

⑫ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和62年(1987)3月5日
G 11 C 11/34 1 0 1 8522-5B

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭60-189502

⑯ 出 願 昭60(1985)8月30日

⑰ 発 明 者 篠 田 孝 司 青柳市今井2326番地 株式会社日立製作所デバイス開発セ
ンタ内

⑱ 発 明 者 石 原 政 道 青柳市今井2326番地 株式会社日立製作所デバイス開発セ
ンタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. 外部端子から供給されるアドレス信号をそのまま伝える回路と、外部端子から供給される所定の制御信号のエッジに同期して外部端子から供給されるアドレス信号を保持するラッチ回路を備えたアドレスバッファを含むことを特徴とする半導体記憶装置。

2. 上記アドレスバッファは、カラム系のアドレス信号であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記アドレスバッファは、外部端子から供給される所定の制御信号の組み合わせにより、その動作モードが指示され、外部端子から供給されるアドレス信号が初期値とされ、所定の制御信号に従って歩進動作を行うアドレスカウンタ回路により形成されるアドレス信号と上記外部端子から供給されるアドレス信号とを選択的に伝えるマルチプレクサ回路を持つものであることを特徴とする

特許請求の範囲第1又は第2項記載の半導体記憶装置。

発明の詳細な説明

(技術分野)

この発明は、半導体記憶装置に関するもので、例えば、周辺回路がスタティック型回路により構成されたダイナミック型RAM(ランダム・アクセス・メモリ)に利用して有効な技術に関するものである。

(背景技術)

ダイナミック型RAMにおける連続アクセス動作として、ロウ系選択回路により1つのワード線を選択状態において、カラムアドレスストロブ信号CASに同期してカラム系のアドレス信号を変化させてデータ線を次々に切り換えることによって、上記ワード線に結合されたメモセルの連続的な読み出し/書き込み動作を行うようにしたページモードと、カラム系選択回路をスタティック型回路により構成し、ワード線を選択状態にしたままカラムアドレス信号を変化させてデー

特開昭62-51093(2)

タ線を次々に切り換えることによって、上記ワード線に結合されたメモリの連続的な読み出し／書き込み動作を行うようにした、いわゆるスタティックカラムモードとが公知である。

前者のページモードは、カラムアドレスストロブ信号をクロックとして外部端子から供給されるアドレス信号の取り込みを行うので、比較的高速に連続アクセスが可能になる反面、外部端子からクロック信号を供給する必要がある。後者のカラムスタティックモードは、カラム系のアドレス信号の変化させるのみで連続アクセスが可能になる反面、外部端子から供給されるアドレス信号のスキュー（アドレス信号の変化タイミング差）によってその動作速度が比較的に遅くなる。すなわち、多ビットからなるアドレス信号のうちの最も遅く変化するアドレス信号を待ってカラム選択動作が行われることになる。このように、両者には、それぞれ一長一短があり、従来のダイナミック型RAMは、上記いずれかの機能を持つようにされるものである。

なお、上記連続アクセス機能を備えたダイナミック型RAMに関しては、例えば日経マグロウヒル社1983年7月18日付の雑誌「日経エレクトロニクス」第169頁ないし193頁、日立製作所昭和58年9月発行「日立ICメモリアークブック」参照。

（発明の目的）

この発明の目的は、動作の多機能化と高速動作化を図ったダイナミック型RAMを提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

（発明の概要）

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給されるアドレス信号をそのまま伝える機能と、外部端子から供給される所定の制御信号のエッジに同期して外部端子から供給されるアドレス信号を保持するラッチ機能

を備えたアドレスバッファを用いて、ページモードとスタティックカラムモードの両機能を実現するものである。また、アドレスバッファにマルチプレクサ機能を持たせて外部端子からのアドレス信号と内部で形成されたアドレス信号とを選択的に受け付けるようにし、これらを外部制御端子で制御して上記内部アドレス信号による連続アクセスも行えるようにするものである。

（実施例）

第1図には、この発明の一実施例のダイナミック型RAMのブロック図が示されている。同図のダイナミック型RAMは、特に制限されないが、8ビットの単位でアクセスするダイナミック型RAMであり、公知の半導体集積回路の製造技術によって、単結晶シリコンのような半導体基板上において形成される。

この実施例では、特に制限されないが、メモリアレイは、M-ARY1、M-ARY2のように左右2つに分けて配置されている。各メモリアレイM-ARY1、M-ARY2において、8本の

相補データ線対が一組とされ、同図においては縦方向に向かうよう形成されている。すなわち、メモリアレイを8ブロック（マツ）に分けて構成するのではなく、8ビットのデータ線、同一のメモリアレイ内の互いに隣合う8本の相補データ線対に対して、1つのアドレスが割り当てられ、同図では横方向に順に配置される。このようにすることによって、メモリアレイ及びその周辺回路の簡素化を図ることができる。上記メモリアレイM-ARY1、M-ARY2にマトリクス配置されるメモセルは、情報記憶用のキャパシタとアドレス選択用のMOSFETとからなる1MOS型のダイナミック型メモセルが用いられる。このメモセルのアドレス選択用のMOSFETのゲートは、ワード線に結合され、そのドレイン（ソース）は、データ線に結合される。

ロウ系アドレス選択線（ワード線）は、上記各メモリアレイM-ARY1、M-ARY2に対して左右の横方向に向かうよう形成され、同図では縦方向に順に配置される。

特開昭62-51093(3)

上記相補データ線対は、カラムスイッチC-SW1、C-SW2を介して8本の共通相補データ線対CD1、CD2に選択的に接続される。同図においては、上記共通相補データ線対は横方向に走っている。これらの共通相補データ線対CD1、CD2は、メインアンプMA1、MA2の入力端子にそれぞれ接続される。

センスアンプSA1、SA2は、上記メモリアレイの相補データ線対の微小読み出し電圧を受け、そのタイミング信号 ϕ_{sa} により動作状態とされ上記読み出し電圧に従って相補データ線対をハイレベル/ローレベルに増幅するものである。

ロウアドレスバッファR-ADBは、チップ選択信号 \overline{CE} に基づいて形成されたタイミング信号 c_0 により動作状態にされ、外部端子から供給される $m+1$ ビットからなるロウ系のアドレス信号AX0~AXmを受け、内部相補アドレス信号 $a_0 \sim a_m$ 、 $\overline{a}_0 \sim \overline{a}_m$ を形成して、ロウアドレスデコードR-DCRへ送出する。なお、以後の説明及び図面においては、一対の内部相補アドレス

信号、例えば a_0 、 \overline{a}_0 を内部相補アドレス信号 a_0 と表すことにする。したがって、上記内部相補アドレス信号 $a_0 \sim a_m$ 、 $\overline{a}_0 \sim \overline{a}_m$ は、内部相補アドレス信号 $a_0 \sim a_m$ と表す。ロウアドレスデコードR-DCRは、上記アドレス信号 $a_0 \sim a_m$ に従って1本のワード線をワード線選択タイミング信号 ϕ_x に同期して選択する。

カラムアドレスバッファC-ADBは、後述するような3種類の連続アクセスモードを実現するため、チップ選択信号 \overline{CE} に基づいて形成されたタイミング信号 c_0 により動作状態にされ、外部端子から供給される $n+1$ ビットからなるカラム系のアドレス信号AY0~AYnをそのまま伝える増幅及び後述する内部制御信号 c_0 のエッジに同期して上記アドレス信号AY0~AYnを保持するラッチ増幅及び後述するアドレスカウンタ回路ADCにより形成されたアドレス信号を受け付けるマルチプレクサ機能とが設けられる。なお、上記内部相補アドレス信号の表し方に従って、図面及び以下の説明では、内部相補アドレス信号 a

$0 \sim a_n$ 、 $\overline{a}_0 \sim \overline{a}_n$ を内部相補アドレス信号 $a_0 \sim a_n$ と表す。

カラムアドレスバッファC-ADBにより形成された内部相補アドレス信号 $a_0 \sim a_n$ 、 $\overline{a}_0 \sim \overline{a}_n$ は、カラムデコードC-DCRに伝えられる。カラムデコードC-DCRは、その動作がデータ線選択タイミング信号 ϕ_y によって制御され、それに伝えられたアドレス信号をデコードしてデータ線選択タイミング信号 ϕ_y に同期して8本からなるデータ線の選択動作を行う。

カラムスイッチC-SW1、C-SW2は、上記データ線の選択信号を受け、上記8対の相補データ線対に対応する8対の共通相補データ線に接続する。なお、同図では、例示的に示された上記相補データ線対及び共通相補データ線対は、1本の線により実現している。

入出力回路I/Oは、読み出しのためのデータ出力バッファと、書き込みのためのデータ入力バッファとにより構成される。上記データ出力バッファは、読み出し時に動作状態にされ、動作状態に

された一方のメインアンプMA1又はMA2の出力信号を増幅して外部端子D0~D7へ送出する。また、上記データ入力バッファは、書き込み動作の時に動作状態にされ、外部端子D0~D7から供給される書き込み信号を上記共通相補データ線対CD1又はCD2に供給する。なお、同図ではこの書き込み系の信号経路が省略されている。上記データ出力バッファとデータ入力バッファは、トライスタート出力増幅を持ち、それが非動作状態におかれるとき、その出力をハイインピーダンス（又はフローティング）状態にさせる。

内部制御信号発生回路TCは、4つの外部制御信号 \overline{CE} （チップイネーブル信号）、 \overline{WE} （ライトイネーブル信号）、 \overline{OE} （出力イネーブル信号）と、CS（クロックドシリアル信号）と、特に制限されないが、上記アドレス信号 $a_0 \sim a_m$ 及び $\overline{a}_0 \sim \overline{a}_n$ を受けるアドレス信号変化検出回路ATDで形成されたアドレス信号の変化検出信号 ϕ とを受けて、その動作モードに応じたメモリ動作に必要な各種タイミング信号を形成して送出さ

れる。上記のようなアドレス信号変化検出回路A
TDにより形成された検出信号 ϕ に基づいて内部
動作のための一連のタイミングを形成することに
よりRAMを内部同期式により動作させる。これ
により、上記のようなダイナミック型メモリセル
を用いたにもかかわらず、外部からはスタティ
ック型RAMと同じようにアクセスすることができ
る(いわゆる、擬似スタティック型RAMを構成
するものである)。このような動作のために、上
記アドレスバッファR-ADB、C-ADB及び
アドレスデコーダR-DCR、C-DCR1、C
-DCR2等の各周辺回路は、CMOS(相補型
MOS)スタティック型回路によって構成される。

特に制限されないが、自動リフレッシュ回路R
EFCは、フレッシュアドレスカウンタ、タイマ
ー等を含んでおり、外部端子から供給されたリフ
レッシュ信号REFをロウレベルにすることによ
り起動される。すなわち、内部チップイネーブル
信号 \overline{CS} がハイレベルとされた非選択(保持)状
態において、リフレッシュ信号REFをロウレベ

ルにすると自動リフレッシュ回路REFCは、図
示しない制御信号によってロウアドレスバッファ
R-ADBの入力部に設けられたマルチプレクサ
を切り換えて、内蔵のリフレッシュアドレスカウ
ンタにより形成されたリフレッシュアドレス信号
をロウデコーダR-DCRに伝えて一本のワード
線選択と、センスアンプSAの増幅動作とによる
リフレッシュ動作(オートリフレッシュ)を行う。
また、リフレッシュ信号REFをロウレベルにし
つづけるとタイマーが作動して、一定時間毎にリ
フレッシュアドレスカウンタが歩進させられて、
この間断的なりフレッシュ動作(セルフリフレ
ッシュ)を行うものである。

第2図には、上記カラムアドレスバッファC-
ADBとアドレスカウンタ回路ADCの一実施例
の回路図が示されている。同図において、Pチャ
ンネルMOSFETは、そのチャンネル部分に直
接が付け加えられることにより、NチャンネルMOS
FETと区別される。

同図には、代表として1ビット分のアドレスバ

ッファの単位回路が示されている。外部端子AY
nから供給されるアドレス信号は、内部チップイ
ネーブル信号 \overline{CS} によって制御されるナンド(N
AND)ゲート回路G1を介してマルチプレクサ
回路を構成する一方の入力端子であるPチャネル
MOSFETQ2とNチャンネルMOSFET
Q3のゲートに供給される。上記PチャネルM
OSFETQ2のソースと電源電圧Vccとの間には、
反転の制御信号 \overline{CS} を受けるPチャネルM
OSFETQ1が設けられ、NチャンネルMOS
FETQ3のソースと回路の接地電位点との間には、
制御信号 \overline{CS} を受けるNチャンネルMOSF
ETQ4が設けられている。なお、上記外部端子
から供給されるアドレス信号AYnと内部チップ
イネーブル信号 \overline{CS} とを受けるCMOSナンドゲート
回路に、上記制御信号 \overline{CS} 、 \overline{CS} を受けるスイ
ッチMOSFETQ1、Q4を付加することにより、
両回路を1つの回路として構成するものであつて
もよい。

上記マルチプレクサ回路の他方の入力端子であ

るPチャネルMOSFETQ6とNチャネル
MOSFETQ7のゲートには、アドレスカウン
タ回路ADCの対応された出力信号 $\overline{a_n}$ が供給
される。これらのMOSFETQ6、Q7にも上
記同様なPチャネルMOSFETQ5とNチャ
ンネルMOSFETQ8がそれぞれ設けられる。
これらのMOSFETQ5、Q8のゲートは、上
記MOSFETQ1、Q4のゲートと交差接続さ
れることによって、上記制御信号 \overline{CS} 、 \overline{CS} が交
差して供給される。

上記2つの回路の出力端子は共通接続され、ラ
ッチ回路を構成する入力回路としてのCMOSイ
ンバータ回路IV1の入力端子に接続される。こ
のインバータ回路IV1は、クロックドインバ
ータ回路とされ、クロック信号 ϕ_{CK} により動作状態
にされる。上記インバータ回路IV1の出力信号
は、CMOSインバータ回路IV2の入力端子に
伝えられる。このインバータ回路IV2の出力信
号は、クロックドインバータ回路IV3を介して
その入力に帰還される。このクロックドインバ

クサ回路1V3は、上記クロック信号 ϕ_{cs} の反転信号によって動作状態にされる。上記クロックディンバート回路1V1~1V3によるラッチ回路は、その動作モードに応じてクロックシリアル信号CSがロウレベルからハイレベルに変化するタイミングで、上記マルチプレクサ回路を通して信号の取り込み動作と、クロックディンバート回路1V1が動作状態にされ、クロックディンバート回路1V3が非動作状態にされることにより、マルチプレクサ回路からの信号をそのまま伝えるスタティック回路としての動作を行う。

上記ラッチ回路を構成するCMOSインバート回路1V3の出力信号は、CMOSインバート回路1V4の入力端子に供給され、このインバート回路1V4の出力端子から、反転内部アドレス信号 \bar{a}_i が送出される。このインバート回路1V4の出力信号は、CMOSインバート回路1V5の入力端子に供給され、このインバート回路1V5の出力端子から非反転の内部アドレス信号 a_i が送出される。

次に、第3図ないし第5図に示した各タイミング図を参照して、上記アドレスバッファC-ADBとアドレスカウンタ回路ADCの選択的な動作により実現される3種類の連続アクセスモードを説明する。

第3図には、スタティックカラムモードによる読み出し動作を説明するためのタイミング図が示されている。

チップイネーブル信号 \overline{CE} がハイレベルからロウレベルに変化するタイミングにおいて、クロックシリアル信号CSがハイレベルなら、外部端子から供給されるアドレス信号 $A_{Y0} \sim A_{Yn}$ による連続アクセスモードとされる。スタティックカラムモードでは、上記クロックシリアル信号CSは、ハイレベルのままに維持される。このようにすることによって、第2図に示したマルチプレクサ回路の制御信号 ϕ_{cs} がハイレベルに、 \overline{cs} がロウレベルに固定される。この結果、PチャンネルMOSFET Q1とNチャンネルMOSFET Q4がオン状態に維持されるため、マルチプレ

アドレスカウンタ回路ADCは、縦列形態にされたフリップフロップ回路 $FF0 \sim FF_n$ と、それぞれのフリップフロップ回路 $FF0 \sim FF_n$ のセット入力にナンドゲート回路 $G0 \sim G_n$ を介してアドレスバッファC-ADBの内部アドレス信号 $a_0 \sim a_n$ がそれぞれ供給される。これらのゲート回路 $G0 \sim G_n$ は、後述するように、内部アドレス信号による高速連続動作モードにされた時に発生される1ショットパルス ϕ_{cs} によりゲートを閉き、上記外部端子から供給されたアドレス信号と対応したアドレス信号が初期値として各フリップフロップ回路 $FF0 \sim FF_n$ に取り込まれる。また、初段のフリップフロップ回路 $FF0$ の計数入力には、クロックシリアル信号CSに基づいて形成された内部信号 ϕ_{cs} のエッジ、例えばハイレベルからロウレベルへの立ち下がり時にその計数動作を行う。フリップフロップ回路 $FF0$ のキャリー信号は、次段 $FF1$ の計数入力に供給される。これによって、バイナリーカウンタ動作が行われる。

クサ回路は外部端子側の回路が動作状態にされる。上記チップイネーブル信号 \overline{CE} のロウレベルにより、内部信号 ϕ_{cs} がハイレベルにされ、外部端子から供給されるアドレス信号 $A_{Y0} \sim A_{Yn}$ は、それに対応されたナンドゲート回路 $G1$ 等と上記マルチプレクサ回路を通してラッチ回路を構成するクロックディンバート回路1V1の入力に伝えられる。このとき、クロック信号 ϕ_{cs} が、例えばハイレベルに維持されることにより、クロックディンバート回路1V1が動作状態に、掃運用のクロックディンバート回路1V3が非動作状態にされる。この結果、ラッチ回路は、その入力信号をそのまま伝えるバッファ回路としての動作を行うものとなる。

したがって、外部端子から供給されるロウ系のアドレス信号 A_X とカラム系のアドレス信号 A_Y により、メモセルの選択動作が行われる。例えば、図示しないが、ライトイネーブル信号 \overline{WE} がハイレベルの読み出し動作の時、出力イネーブル信号 \overline{OE} がロウレベルにされると、選択されたメ

特開昭 62-51093(6)

メモリの記憶情報 Data が外部端子 D へ送出される。上記状態において、カラム系のアドレス信号 AY (AY0 ~ AYn) を変化させると、上記アドレスバッファ C-ADB がこれに反応して内部アドレス信号を変化させる。これにより、カラムデコーガ C-DCR1 又は C-DCR2 がそれを解読してカラムスイッチ回路の切り換えが行われ、その部で切り換えられたメモリアレイの相補データ線の信号が外部端子 D へ送出される。以上がスタティックカラムモードでの読み出し動作である。このスタティックカラムモードでは、任意のタイミングでのアドレス切り換えによる連続アクセスが可能にされる。なお、書き込み動作の場合には、上記アドレス信号 AY の変化に同期して外部端子 D へ書き込み信号 Di を供給することによって、連続的な書き込み動作が実行される。

第 4 図には、ページモードによる読み出し動作を説明するためのタイミング図が示されている。

上記同様に、チップイネーブル信号 \overline{CE} がハイレベルからロウレベルに変化するタイミングにお

いて、クロックドシリアル信号 CS がハイレベルなら、外部端子から供給されるアドレス信号 AY0 ~ AYn による連続アクセスモードとされる。上記クロックドシリアル信号 CS は、最初の 1 サイクル期間においてハイレベルのままに維持される。これにより、上記スタティックカラムモードと同様に、最初の 8 ビット分の読み出し動作が行われる。ページモードでは、高速アクセスを実現するため、カラム系のアドレス切り換えをクロック信号により同期して行う。この実施例では、上記クロックドシリアル信号 CS が上記アドレス切り換えのためのクロック信号として使用される。すなわち、クロックドシリアル信号 CS をロウレベルにすると、ラッチ回路の入力インバータ回路 I V1 が非動作状態に、補道用インバータ回路 I V3 が動作状態にされる。これにより、外部端子から供給されるアドレス信号 AY が無効にされ、前に取り込んだアドレス信号を一旦保持する。次に、クロックドシリアル信号 CS をロウレベルからハイレベルに変化させると、このタイミングに

おいて、一時的に入力用インバータ回路 I V1 が動作状態に、補道用インバータ回路 I V3 が非動作状態にされる。この結果、上記クロックドシリアル信号 CS のハイレベルへの立ち上がりエッジにおいて、外部端子から供給されたアドレス信号 AY (AY0 ~ AYn) の取り込みと保持が行われ、このラッチ回路の出力信号により内部アドレス信号が形成される。このようなタイミング信号による外部アドレス信号の取り込み方式により、アドレス信号のスキューを考慮することなく、直ちにカラム切り換えを行うことができるので、高速な連続アクセス（ページモード）を実現できるものである。なお、書き込み動作の場合には、上記クロックドシリアル信号 CS と同期して外部端子 D へ書き込み信号 Di を供給することによって、連続的な書き込み動作が実行される。

第 5 図には、高速シリアルモード（流変エブルモード）による読み出し動作を説明するためのタイミング図が示されている。

チップイネーブル信号 \overline{CE} がハイレベルからロ

ウレベルに変化するタイミングにおいて、クロックドシリアル信号 CS がロウレベルなら、内部回路で形成されるアドレス信号による連続アクセスモード（高速シリアルモード）とされる。高速シリアルモードにおいては、外部端子から供給されるアドレス信号 AY の取り込みのために、チップイネーブル信号 \overline{CE} がロウレベルにされたタイミングで一時的に第 2 図に示したマルチプレクサ回路の制御信号 \overline{cs} がハイレベルに、 \overline{cs} がロウレベルにされる。この結果、外部端子から供給されるアドレス信号 AY の取り込みが行われ、これらのアドレス信号 AY は、そのときに発生するタイミング信号 ϕ_{cs} によってアドレスカウンタ回路 ADC に初期値として取り込まれる。

上記クロックドシリアル信号 CS のロウレベルにより、マルチプレクサ回路の制御信号 \overline{cs} がロウレベルに、 \overline{cs} がハイレベルにされる結果、P チャンネル MOS FET Q5 と N チャンネル MOS FET Q6 がオン状態になり、マルチプレクサ回路はアドレスカウンタ回路 ADC 側の回路が動

作状態にされる。これにより、上記取り込まれたアドレス信号 A_n に対応された内部アドレス信号 $\overline{a_n}$ 等がラッチ回路に伝えられる。そして、特に制限されないが、クロックドシリアル信号CSがハイレベルにされたタイミングにおいて、カラム系の選択動作が開始される。上記クロックドシリアル信号CSのハイレベルへの立ち上がりにおいて、前記ページモードと同様に、ラッチ回路の入力用インバート回路1V1が一時的に動作状態に、挿入用インバート回路1V3が非動作状態にされる。これにより、上記初期値アドレス信号に対応されたアドレス信号 $\overline{a_n}$ 等の取り込みと保持が行われ、このラッチ回路の出力信号により内部アドレス信号が形成される。このカラムデコード回路C-DCR1又はC-DCR2は、このアドレス信号を解読してデータ線選択信号を形成するので、既に取り込まれているロウ系のアドレス信号 A_n に従って選ばれているワード線に結合されたメモリセルのうち、上記アドレス信号 $\overline{a_n}$ 等により選択されたデータ線に結合されたメモ

リセルからの記憶情報が外部端子Dへ送出される。上記クロックドシリアル信号CSをロウレベルに変化させると、アドレスカウンタ回路ADCの計数動作が行われ、その歩進されたアドレス信号が、上記クロックドシリアル信号CSのロウレベルによって制御信号 c_n がロウレベルに、 $\overline{c_n}$ がハイレベルにされるため、上記同様にラッチ回路の入力に伝えられる。クロックドシリアル信号CSをロウレベルからハイレベルに変化させると、このタイミングにおいて、ラッチ回路が上記歩進されたアドレス信号の取り込み保持を行うため、カラム系の内部アドレス信号が変化される。これに応じてカラム切り換え動作が行われ、連続読み出し動作が行われる。この高速シリアルモードでは、前記のように外部端子からアドレス信号を供給するスタティックカラムモードのようにアドレス信号のスキューを考慮する必要が無いから、その分高速アクセス動作を行うことができる。なお、書き込み動作のときには、上記クロックドシリアル信号に同期して外部端子Dへ書き込み信号D1_oを供給

すればよい。

(効果)

①アドレスバッファに外部端子から供給されるアドレス信号をそのまま伝える機能と、外部端子から供給される所定の制御信号のエッジに同期して外部端子から供給されるアドレス信号を保持するラッチ機能を設けることにより、スタティックカラムモードのような非同期でのアドレス切り換えによる連続アクセスモードと、ページモードのような連続アクセスモードの両機能を併せ持つ半導体記憶装置を得ることができるという効果が得られる。

②アドレスバッファにマルチプレクサ機能を付加することにより、外部端子からのアドレス信号と内部で形成されたアドレス信号とを選択的に受け付けるようにし、これらを外部制御端子で制御することにより、アドレス信号のスキューを考慮することなく、高速にメモリセルの連続アクセスを行うことができるという機能を持たせることができるという効果が得られる。

③上記①及び②又は④により、2ないし3種類の連続アクセスモードの中から、そのシステム又はその場々の動作形態に応じて最も適切な連続アクセスモードを選ぶことができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変改可能であることはいうまでもない。例えば、クロックドシリアル信号CSは、動作モードを指示する制御信号と、クロック信号から構成されてもよい。また、アドレスバッファに設けられるマルチプレクサ回路及びラッチ回路と、アドレスカウンタ回路の具体的回路は、種々の実施形態を採ることができるものである。

さらに、外部アドレス信号は、共通の外部端子からロウアドレスストローブ信号RASとカラムアドレスストローブ信号CASにより時系列的に供給するものとしてもよい。この場合、カラムアドレスストローブ信号CASに基づいて上記アド

特開昭62-51093(B)

レスバッファに設けられるラッチ回路に供給されるクロック信号を形成するものとすればよく、上記高速シリアル動作モードとページモードとを区別するための制御信号を追加すればよい。

(利用分野)

この発明は、少なくともカラム選択回路がスタティック型回路により構成されるダイナミック型RAMの他、スタティック型RAM等にも同様に利用することができるものである。

図面の簡単な説明

第1図は、この発明に係るダイナミック型RAMの一実施例を示す内部構成ブロック図、

第2図は、そのアドレスバッファとアドレスバッファの一実施例を示す回路図、

第3図は、その動作の1つであるスタティックカラムモードを説明するためのタイミング図、

第4図は、その動作の他の1つであるページモードを説明するためのタイミング図、

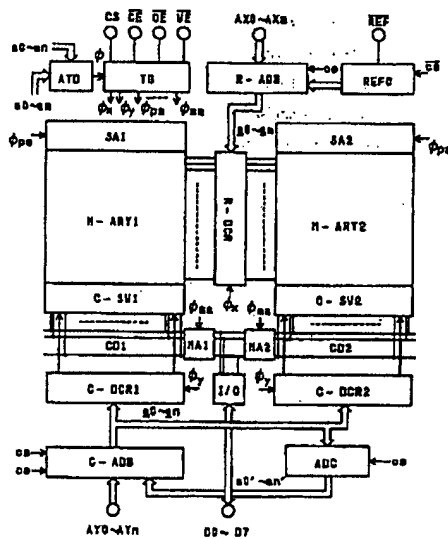
第5図は、その動作の更に他の1つである高速シリアルモードを説明するためのタイミング図で

ある。

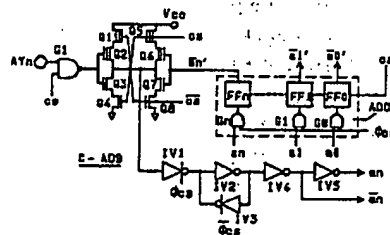
M-ARY1, M-ARY2・・・メモリアレイ、
SA1, SA2・・・センスアンプ、R-ADB・・・
ロウアドレスバッファ、C-SW1, C-SW2・・・
カラムスイッチ、C-ADB・・・カラムアドレス
バッファ、R-DCR・・・ロウアドレスデ
コード、C-DCR1, C-DCR2・・・カラム
アドレスデコード、MA1, MA2・・・メインア
ンプ、TG・・・内部制御信号発生回路、ATD・・・
アドレス信号変化検出回路、I/O・・・入出力
回路、ADC・・・アドレスカウンタ回路、REF
C・・・自動リフレッシュ回路

代理人弁理士 小川 勝男

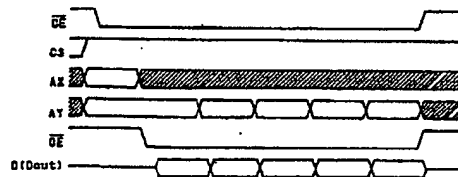
第1図



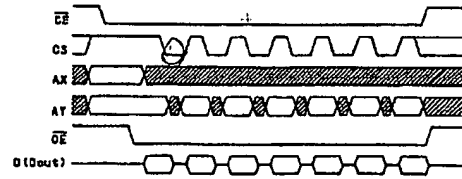
第2図



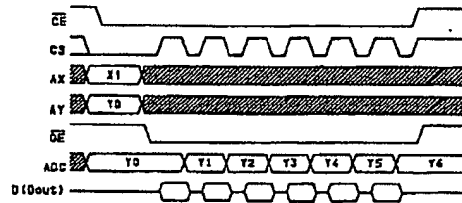
第3図



第 4 図



第 5 図



(19) Japan Patent Office (JP)
(12) Public Patent Disclosure Bulletin (A)

(11) Public Patent Disclosure Bulletin Number
1987-51093

(51)Int.Cl ⁴ G 11C 11/34	Theme code (reference) 101	Internal control no. 8522-5B	(43) Public Patent Disclosure Bulletin Date: March 5, 1987
--	----------------------------------	---------------------------------	---

Examination requested: Not requested Number of inventions: 1 (total 9 pages)

(54) Name of invention Semiconductor memory device

(21) Application no. "PatAp" 1985-189502

(22) Date of application August 30, 1985

(72) Inventor Shinoda Takashi Device Development Center, Hitachi Ltd.,
2326 Imai, Ome-shi, Tokyo

(72) Inventor Ishihara Masamichi Device Development Center, Hitachi Ltd.,
2326 Imai, Ome-shi, Tokyo

(71) Applicant Hitachi, Ltd. 4-6, Kanda Surugadai, Chiyoda-ku, Tokyo

(74) Representative Attorney Ogawa Katsuo and one other

Description of Invention

Name of invention

Semiconductor memory device

CLAIMS

1. A semiconductor memory device including an address buffer, having a function for passing on without modification an address signal supplied from an external pin, and a latch function for capturing an address function supplied from an external pin synchronously with an edge of a specified control signal supplied from an external pin.

2. A semiconductor memory device according to claim 1, wherein said address buffer comprises a column address signal.

3. A semiconductor memory device according to claim 1 or claim 2, wherein said address buffer has an operating mode indicated by a combination of specified control signals supplied from external pins, an address signal supplied from an external pin taken as an initial value, and a multiplexer function for selectively sending both an address signal, generated by an

address counter circuit performing an incrementing operation according to said control signal, and said address signal supplied by an external pin.

Detailed Description of the Invention

Field of the Invention

The present invention relates to a semiconductor memory device, and relates to a technology effectively useful in a dynamic RAM (random access memory) having peripheral circuits configured from static circuits.

Prior Art

In continuous access operations in a dynamic RAM, page mode, sequentially switching data lines by changing an address signal to vary a column address signal synchronously with a column address strobe signal /CAS [*TN: / before a signal name in the translation represents an overscore, used for an inverse or active-low signal*] while one word line is selected by a row selection circuit, and thereby performing continuous read/write operations to memory cells joining said word lines, and static column mode, configured with

[end of page 589]

a column select circuit as a static circuit, and continuously read/write operations to memory cells joining said word lines by sequentially switching data lines by changing a column address signal while one word line is selected, are known.

In the former of these, page mode, address signals supplied from external pins are loaded using a column address strobe signal as a clock, enabling continuous addressing at relatively high speed, but on the other hand requiring a clock signal to be supplied from an external pin. In the latter, column static mode, continuous addressing is enabled by varying only the column address signal, but on the other hand the operating speed is comparatively slower due to a skew (a timing difference in the changing of the address signal) of the address signal supplied from the external pin. This means that with an address signal composed of multiple bits, the column select operation occurs after waiting for the slowest-changing address signal. Thus both methods have advantages and disadvantages, and prior dynamic RAMs have either one or the other of said functions.

(In relation to dynamic RAMs having the continuous access functions described above, see also Nikkei McGraw Hill, *Nikkei Electronics* magazine, July 18, 1983, pages 169 through 193, and Hitachi Limited, *Hitachi IC Memory Data Book*, published in September 1983.)

Purpose of the Invention

The purpose of this invention is to provide a dynamic RAM providing both multi-functional operation and high-speed operation.

The purposes and features of the invention already described, as well as other purposes and new features, will be explained in the detailed descriptions and attached drawings.

Summary of the Invention

The following is a simplified description summarizing representative [aspects] of the present invention disclosed in the present request. Namely, [these are] the achievement of both page mode functions and static column mode functions by using an address buffer having a

function for passing through an address signal supplied from an external pin without modification, and a latching function capturing an address signal supplied from an external pin synchronously with an edge of a specified control signal supplied from an external pin, and also providing the address buffer with a multiplexer function selectively receiving both the address signal from an external pin and an address signal generated internally, controlling these by an external control pin, and performing continuous access according to said internal address signal.

Description of the Preferred Embodiments

Figure 1 shows a block diagram of a dynamic RAM according to one preferred embodiment of the present invention. A dynamic RAM according to this drawing may be, without limitation, a dynamic RAM accessed in 8-byte units, formed on a semiconductor substrate such as single crystal silicon, by generally known semiconductor integrated circuit manufacturing technology.

This preferred embodiment, without limitation, may be divided left and right into two memory arrays, M-ARY1 and M-ARY2. Each memory array M-ARY1 and M-ARY2 has a set of eight mutually complementary data line pairs, formed in the vertical direction as shown in the drawing. Thus the memory array is configured not as eight blocks (mats) but as eight-bit data lines, and one address is assigned to each of the eight complementary data line pairs mutually adjacent within the same memory array and arranged horizontally in the drawing. By this means it is possible to simplify the memory array as well as its peripheral circuits. A memory cell in a matrix array of said memory arrays M-ARY1 and M-ARY2 uses a 1-MOS type dynamic memory cell composed of a capacitor for data memory and a MOSFET for address selection. The gate of a MOSFET used for address selection in such a memory cell is joined to a word line, and its drain (source) is connected to a data line.

The row address selection lines (word lines) are formed horizontally, going left and right with respect to said memory arrays M-ARY1 and M-ARY2, and are laid out in order vertically in the drawing.

[P 590]

The complementary data line pairs are selectively connected to eight common complementary data line pairs CD1, CD2 through column switches C-SW1, C-SW2. In the drawing, the said complementary data line pairs run in the horizontal direction. These common complementary data line pairs CD1, CD2 are connected to the input terminals of main amps MA1, MA2 respectively.

Sensing amps SA1, SA2 receive slight read voltage [changes] in the complementary data line pairs of the memory array, are activated by dynamic signal ϕ_{pa} and amplify the complementary data line pairs to high level or low level according to said read voltage.

Row address buffer R-ADB is activated by dynamic signal ce created based on chip select signal $/CE$, receives row address signals $AX0-Axm$ in row form composed of $m+1$ bits and supplied from an external pin, generates internal complementary address signals $a0-am$ and $/a0-/am$, and sends these to row address decoder R-DCR. Note that in the descriptions and drawings to follow, one pair of internal complementary address signals, such as $a0$ and $/a0$, will be represented as internal complementary address signal $\underline{a0}$. Therefore, the above internal complementary address signals $a0-am$ and $/a0-/am$ are represented as $\underline{a0-\underline{am}}$. Row address decoder R-DCR selects one word line according to said address signal $\underline{a0-\underline{am}}$, synchronously with word line select timing signal ϕ_x .

Column address buffer C-ADB, in order to realize three types of continuous access mode described below, is activated by timing signal ce generated based on chip select signal $/CE$, and has a function passing through column address signal $AY0-Ayn$ formed from $n+1$ bits and supplied from an external pin, and a latching function capturing said address signal $AY0-Ayn$ synchronously with an edge of internal control signal cs described below, and also a multiplexer function receiving address signals generated according to address counter circuit ADC described below. Note that depending on the mode of expression of said internal complementary address signal, internal complementary address signals $a0-an$ and $/a0-/an$ in the drawing and the following descriptions may be expressed as internal complementary address signals $\underline{a0-\underline{an}}$.

Internal complementary address signals $a0-an$ and $/a0-/an$ generated by column address buffer C-ADB are passed to column decoder C-DCR. Column decoder C-DCR has operation controlled by data line select timing signal ϕ_y , decodes the address signals passed to it, and

performs selection operations among the eight data lines synchronously with data line select timing signal ϕ_y .

Column switches C-SW1, C-SW2 receive the data line select signals just described, and connect to 8 pairs of common complementary data lines corresponding to the said 8 pairs of complementary data lines. Note that in Figure 1 the said complementary data lines and common complementary data lines are realized as one line for the purpose of illustration.

Input-output circuit I/O is composed of a data output buffer for reading, and a data input buffer for writing. The data output buffer is in operating mode during reading operation, amplifies the output signal of the other main amp MA1 or MA2 that has been set in operating mode, and outputs this to external pins D0-D7. Also, the data input buffer is in operating mode during writing operation, and supplies write signals supplied from external pins D0-D7 to common complementary data line pairs CD1 and CD2. Note that these writing system circuits are omitted from Figure 1. Said data output buffer and data input buffer have tri-state output functions, and when in non-operating state have output set to high impedance (or floating) state.

Internal control signal generator circuit TG receives four external control signals, /CE (chip enable signal), /WE (write enable signal), /OE (output enable signal), and CS (clocked serial signal), as well as address signal change detector signal ϕ generated by address signal change detector circuit ATD receiving, without limitation, the address signals a0-am and a0-an described previously. According to the operating mode, [TG] generates and outputs each of the timing signals necessary for memory operation.

[p 591]

The RAM is operated according to internal synchronization using a set of timing [signals] generated for the purpose of internal operation based on detection signal ϕ generated by address signal change detector circuit ATD as described above. By this means external access similar to that of a static RAM is enabled even when a dynamic memory cell such as that described above is used (configuring a so-called pseudo-static RAM). For the purpose of this type of operation, each of the peripheral circuits such as said address buffers R-ADB, C-ADB, address decoders R-DCR, C-DCR1, and C-DCR2 etc. are configured as CMOS (complementary MOS) static circuits.

Although not thus limited, automatic refresh circuit REFC includes a refresh address counter and timer etc., and is activated by a low setting of the refresh signal /REF, supplied from an external terminal. This means that with internal chip enable signal /ce at high level in non-selected (standby) status, setting refresh signal /REF to low level causes automatic refresh circuit REFC to switch with multiplexer created in the input area of row address buffer R-ADB by a control signal not illustrated, passing a refresh address signal generated by an internal refresh address counter to row decoder R-DCR, and performing a refresh operation (auto refresh) by means of one word line selection and an amplification operation by sensing amp SA. Also, when refresh signal /REF is held at low level a timer operates causing a refresh address counter to increment after a fixed time interval, and refresh operation to continue during the interval (self refresh).

Figure 2 shows a circuit diagram of one preferred embodiment of said column address buffer C-ADB and address counter circuit ADC. In this drawing a P-channel MOSFET is distinguished from an N-channel MOSFET by a straight line added to the channel.

Figure 2 shows a representative 1-bit unit of an address buffer circuit. Address signals from external terminals AYn are supplied to P-channel MOSFET Q2 and N-channel MOSFET Q3, one set of input terminals comprising the multiplexer circuit, through NAND-gate circuit G1 controlled by internal chip enable signal ce. Between the source of P-channel MOSFET Q2 and power supply Vcc is placed P-channel MOSFET Q1 receiving inverted control signal /cs, and between the source of N-channel MOSFET Q3 and the circuit ground potential is placed N-channel MOSFET Q4 receiving control signal cs. Note that by placing MOSFETs Q1, Q4 receiving said control signals cs and /cs at a CMOS NAND-gate circuit receiving said address

signal Ayn supplied from an external terminal and an internal chip enable signal, it is possible to configure both circuits as a single circuit.

The gates of P-channel MOSFET Q6 and N-channel MOSFET Q7, the other input terminals of said multiplexer circuit, receive output signal /an' corresponding to address counter circuit ADC. MOSFETs Q6, Q7 are placed with respect to P-channel MOSFET Q5 and N-channel MOSFET Q8 respectively as described previously. The gates of MOSFETs Q5, Q8 are placed in an intersection connection with the gates of said MOSFETs Q1, Q4, and receive crossover of the control signals cs and /cs.

The output terminals of the above two circuits are connected in common, and are connected to the input terminal of CMOS inverter circuit IV1 as the input circuit that configures the latch circuit. This inverter circuit IV1 is used as a clock driver circuit and is placed in operating mode by clock signal ϕ cs. The output signal of inverter circuit IV1 is passed to the input terminal of CMOS inverter circuit IV2. The output signal of inverter circuit IV2 returns to its input through clocked inverter circuit IV3.

[P 592]

This clocked inverter circuit IV3 is placed in active status by the inverse signal of clock signal ϕ_{ca} . The latch circuit [formed] by clocked inverter circuits IV1-IV3 operates as a static circuit passing on the signal from the multiplexer circuit without modification, by the operation of loading a signal through the multiplexer circuit described above, and placing clocked inverter circuit IV1 in operating status and clocked inverter circuit IV3 in non-operating status at the timing of the change of clocked serial signal CS from low level to high level according to their operating modes.

The output signal of CMOS inverter circuit IV3 configuring the above latch circuit is supplied to the input terminal of CMOS inverter circuit IV4, and from the output terminal of inverter circuit IV4 is sent an inverse internal address signal \bar{a}_i . The output signal from inverter circuit IV4 is supplied to the input terminal of CMOS inverter circuit IV5, and from the output terminal of inverter circuit IV5 is sent a non-inverted internal address signal a_i .

In address counter circuit ADC, flip-flop circuits FF0-FF n arranged in a vertical array, and internal address signals a_0 - a_n of address buffer C-ADB are supplied respectively through NAND gate circuits G0-G n to the set input to flip-flop circuits FF0-FF n . In these gate circuits G0-G n , the gates are opened by a one-shot pulse $\phi_{cs'}$ generated at the time of setting in high-speed continuous operation mode by an internal address signal as will be described later, and an address signal corresponding to the said address signal supplied from an external terminal is loaded into each flip-flop circuit FF0-FF n as an initial value. Also, the arithmetical input to the first-stage flip-flop circuit FF0 executes its arithmetic operation at the time of an edge, such as a fall from high level to low level, of internal signal cs generated based on clocked serial signal CS. The carry signal from flip-flop circuit FF0 is supplied to the arithmetic input of the next stage, FF1. Binary counter operation proceeds in this fashion.

Next we describe three types of continuous access mode realizable by selective operation of address buffer C-ADB and address counter circuit ADC described hereinabove, with reference to the timing charts in Figure 3 through Figure 5.

Figure 3 shows a timing chart for the purpose of describing read operations in static column mode.

At the time chip enable signal /CE changes from high level to low level, clocked serial signal CS goes to high level, going into continuous access mode according to address signals AY0-AYn supplied from external terminals. In static column mode, clocked serial signal CS is held at high level. By this means control signal cs in the multiplexer circuit illustrated in Figure 2 is fixed at high level and /cs is held at low level. As a result P-channel MOSFET Q1 and N-channel MOSFET Q4 are held in "on" status and the multiplexer circuit is in a state of operation through circuits on the external terminal side. When chip enable signal /CE goes to low level, internal signal ce is enabled, and address signals AY0-AYn supplied from external pins are sent through their corresponding NAND gate circuits G1 etc. through the multiplexer circuit to the input of clocked inverter circuit IV1 forming a latch circuit. At this time, clock signal ϕ cs may be held at, for example, high level, setting clocked inverter circuit IV1 to operating mode, and setting clocked inverter circuit IV3 to non-operating status.

As a result, selective operation of memory cells is performed by means of row address signal AX and column address signal AY supplied through external terminals. If for example, although not shown in the illustration, write enable signal /WE is at high level, and output enable signal /OE is at low level, the recorded data Dout at the selected memory cell is sent to external terminal D.

[P 593]

In this state when the column address signals AY (AY0-AYn) are varied, address buffer C-ADB varies its internal address signal accordingly. By this means, column switch circuit switching occurs as column decoders C-DCR1 and C-DCR2 decode, and the signals in the complementary data lines in the memory array are output to external terminal D as switching proceeds. The preceding has been a description of read operation in static column mode. In static column mode, continuous access is enabled by means of address switching at any desired timing. Note that in write operation, continuous writing operation is performed by supplying write signal Din to external terminal D synchronously with changes in address signal AY described above.

Figure 4 shows a timing chart for the purpose of describing read operations in page mode.

As in the above description, if clocked serial signal CS is at high level at the time chip enable signal /CE changes from high level to low level, continuous access mode is enabled by means of address signals AY0-AYn supplied from external terminals. Clocked serial signal CS is held at high level for the duration of the first cycle. By this means as in static column mode described earlier, a read operation is performed for the first 8 bits. In page mode, column address switching is synchronized with a clock signal in order to achieve high-speed access. This means that when clocked serial signal CS goes to low level, latch circuit input inverter circuit IV1 is in non-operating status, and feedback inverter circuit IV3 is in operating status. As a result address signal AY supplied from external terminals becomes invalid and the previously loaded address signal is held momentarily. Next, clocked serial signal CS changes from low level to high level and at this time, temporarily, input inverter circuit IV1 is in operating status and feedback inverter circuit IV3 is in non-operating status. As a result, at the rising edge of the return of clocked serial signal CS to high level, the address signal AY (AY0-AYn) supplied from external terminals is loaded and retained and an internal address signal is generated using the output signal from the latch circuit. By means of this method of loading an external address signal using a timing signal, it is possible to perform direct column switching without having to consider skew in the address signal, and therefore it is possible to achieve high speed continuous access (page mode). Note that in write operation, continuous write operation is achieved by supplying a write signal Dia to external terminal D synchronously with clocked serial signal CS.

Figure 5 shows a timing chart for use in describing continuous reading operation in high-speed serial mode (expanded nibble mode). At the time that chip enable signal /CE changes from high level to low level, if clocked serial signal CS is at low level, continuous access mode using

an internally generated address signal (high-speed serial mode) is enabled. In high-speed serial mode, in order to load address signal AY supplied from external circuits, temporarily multiplexer circuit control signal cs goes to high level and /cs to low level as shown in Figure 2, at the time that chip enable signal /OE goes to low level. As a result address signal AY supplied from external terminals is loaded, and this set of address signals AY is loaded into the address counter circuit ADC as its initial value according to timing signal ϕ_{cs} generated at this time.

As a result of clocked serial signal CS going to low level, with multiplexer circuit control signals cs at low level and /cs at high level, P-channel MOSFET Q5 and N-channel MOSFET Q8 are in “on” status, and the multiplexer circuit is operating on the side of the address counter circuit ADC.

As a result, internal address signal /an', corresponding to address signal AY loaded previously, is sent to the latch circuit. Then, although not thus limited, column select operation begins at the time that clocked serial signal CS goes to high level. T the rise of clocked serial signal CS to high level just described, and as in page mode described earlier, latch circuit input inverter circuit IV1 temporarily goes into operating status and feedback inverter circuit IV3 into non-operating mode. By this means address signals /an' etc. corresponding to the initial address signal described earlier are loaded and stored, and an internal address signal created by means of the output from the latch circuit. Because column decoder circuits C-DCR1 and C-DCR2 are decoding the address signal and generating data line selection signals, it is the data stored in memory cells connected to data lines selected by address signal /an' etc., out of all the memory cells connected to word lines selected according to row address signals AX that have been already loaded, that is sent to external terminal D. When clocked serial signal CS changes to low level, arithmetical computation is performed in address counter circuit ADC and because then clocked serial signal CS is at low level, control signal cs is low and /cs is high, the incremented address signal is sent as input to the latch circuit in the same manner as described previously. When clocked serial signal CS returns from low level to high level, the latch circuit retains the loaded incremented address signal, and therefore the internal address signal for the column is changed. As a result a column switching operation is performed and continuous reading operation is executed. Thus in high-speed serial mode address signals are supplied from external terminals, and there is no need for concern about skew in the address signal just as described earlier in static column mode, and therefore high-speed access operation is that much more feasible. Note that in write operation the write signal Din may be supplied to external terminal D synchronously with the clocked serial signal as described earlier.

Effects of the Invention

(1) Having both a function passing on without modification an address signal supplied from an external pin, and a latch function capturing an address function supplied from an external pin synchronously with an edge of a specified control signal supplied from an external pin, has the effects of enabling realization of a semiconductor memory device capable of both high-speed access mode through asynchronous address switching as in static column mode, and continuous access mode as in page mode.

(2) Adding a multiplexer function to the address buffer has the effect of enabling the functions of continuous access to a memory cell at high speed without concern for skew in the address signal, by selectively receiving an address signal from external terminals and an address signal generated internally, and controlling these from an external control terminal.

(3) The effect of being able to select the most appropriate continuous access mode for the system and mode of operation at the time, from among two or three types of continuous access mode according to (1) and/or (2) above,.

The above specific description is based on a preferred embodiment of the invention by the present inventors, but the present invention is not limited to the above preferred embodiment and its intent may without question be altered in a variety of ways without prejudice. For example clocked serial signal CS may be composed of a control signal indicating operating mode and a clock signal. Or the multiplexer circuit and pitch circuit created in the address buffer and specific circuits in the address counter circuit, may be implemented in a variety of specific forms.

Further, the external address signal may be supplied over time through common external terminals by a row address strobe signal /RAS and column address strobe signal /CAS. In this case the clock signal supplied to the latch circuit created in the address buffer may be generated based on the column address strobe signal /CAS, and a control signal may be added to distinguish between high speed serial operating mode and page mode.

Fields of Use

The present invention may be used not only in dynamic RAMs configured with column select circuits that are static type circuits, but may also be used in similar fashion in static RAMs.

Brief Description of the Drawings

Fig. 1 is a block diagram of the internal configuration of a dynamic RAM according to one preferred embodiment of the present invention;

Fig. 2 is a circuit diagram showing the address buffer thereof and a preferred embodiment of an address buffer;

Fig. 3 is a timing chart for the purpose of describing static column mode, one of the operations thereof;

Fig. 4 is a timing chart for the purpose of describing page mode, one of the operations thereof; and

Fig. 5 is a timing chart for the purpose of describing high-speed serial mode, one of the operations thereof.

M-ARY1, M-ARY2	Memory arrays
SA1, SA2,	Sensing amps
R-ADB	Row address buffer
C-SW1, C-SW2	Column switches
C-ADB	Column address buffer
R-DCR	Row address decoder
C-DCR1, C-DCR2	Column address decoders
MA1, MA2	Main amps
TG	Internal control signal generator circuit
ATD	Address signal change detection circuit
I/O	Input/output circuit
ADC	Address counter circuit
REFC	Auto refresh circuit

Representative Attorney

Ogawa Katsuo

Figure 4

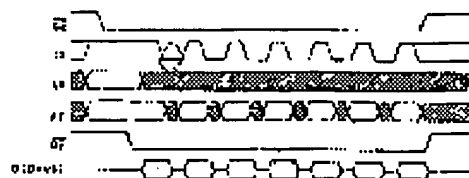
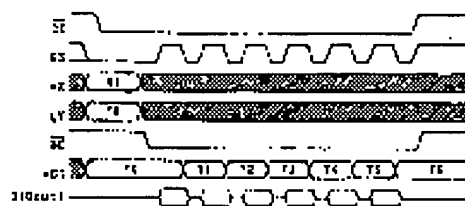


Figure 5



[P 597]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.